

Digitalna kola i digitalne mreže

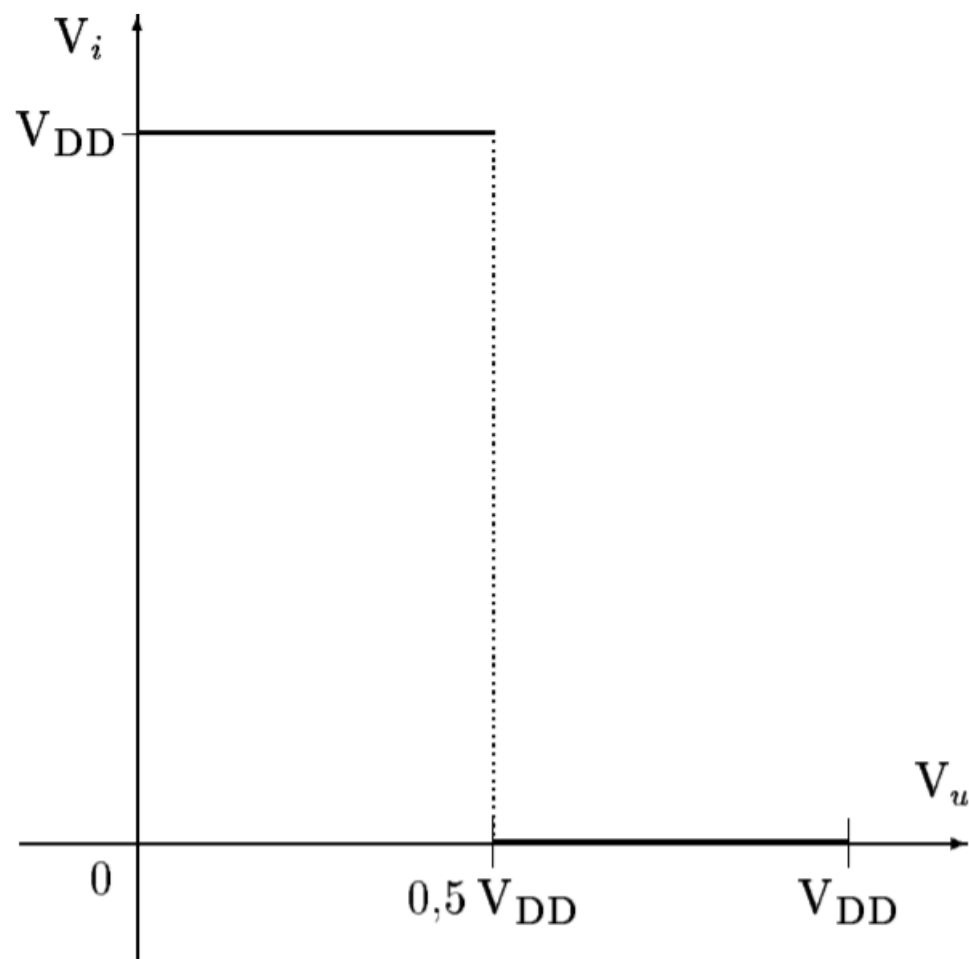
Logički elementi

- Digitalna kola sastoje se od logičkih elemenata
- Logički element je digitalno kolo čija jednačina odgovara jednoj Bulovoj funkciji
- Primjer, AND kolo sa dva ulaza i jednim izlazom
- Idealni i realni logički element

Idealni logički element

- Realizuje unaprijed zadatu logičku funkciju
- Logička nula, logička jedinica
- Primjer, invertor (negacija), $y = 1$, za $x < 0.5$; $y = 0$, za $0.5 < x < 1$
- Vrijeme kašnjenja = 0
- Izlazna otpornost = 0, ulazna otpornost je beskonačno
- Cijena = 0

Idealna karakteristika prenosa invertora

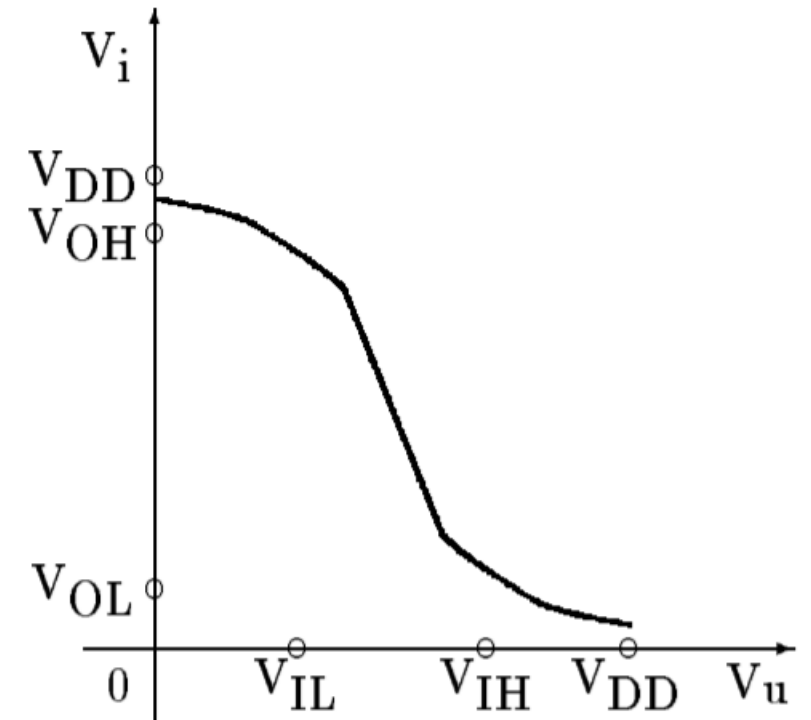


Realni logički element

- Logičkoj nuli i jedinici odgovaraju naponski opsezi, $v_1 < v_2 < v_3 < v_4$
- Prelazna zona, nije dozvoljena u normalnom radu digitalnog kola
- Osobine
 - Izlaz je unaprijed definisana funkcija ulaza
 - Karakteristika prenosa ulaz-izlaz treba da bude jako nelinearna
 - Regeneracija amplitudskih nivoa
 - Jednostranost, usmjerenost signal od ulaza prema izlazu
 - Više ulaza, izlaz može da se razvede na ulaz više drugih kola

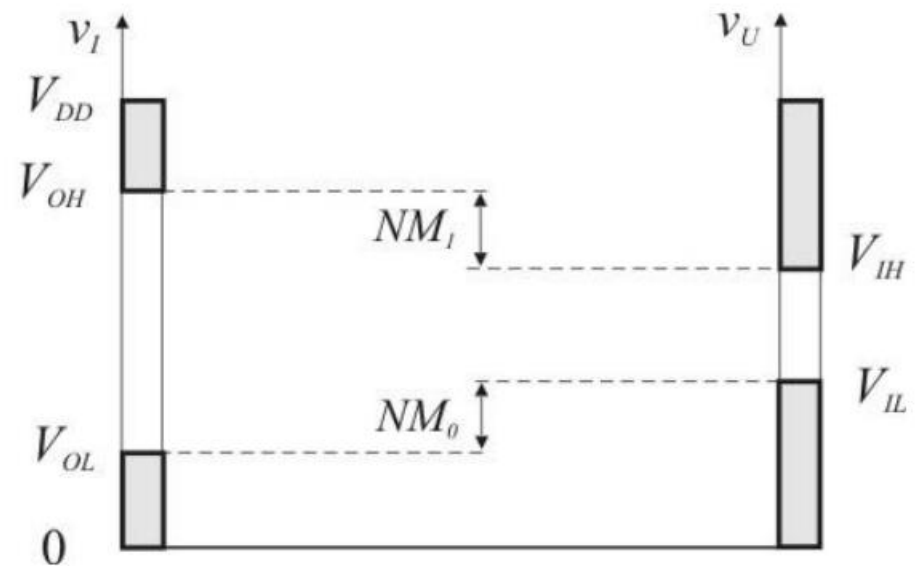
Realna karakteristika prenosa invertora

- Prelazna zona između nule i jedinice
- Nivo nule nije jednak naponu nula
- Četiri bitne vrijednosti
 - V_{IL} – najveći nivo napoa ulazu koji se smatra logičkom nulom
 - V_{IH} – najmanji nivo jedinice na ulazu
 - V_{OL} – najveći nivo logičke nule na izlazu
 - V_{OH} – najmanji dopušteni nivo jedinice na izlazu
- I – input, O – output, L – low, H - high
- $V_{OL} < V_{IL}$, $V_{OH} > V_{IH}$



Margine šuma

- Neželjena promjena naponskog nivoa naziva se šum
- Ako je šum na ulazu veliki može da izazove grešku na izlazu
- Margina je dozvoljena promjena naponskog nivoa na ulazu koja ne izaziva grešku na izlazu
- Margina šuma za jedinicu $V_{OH} - V_{IH}$
- Margina šuma za nulu $V_{IL} - V_{OL}$

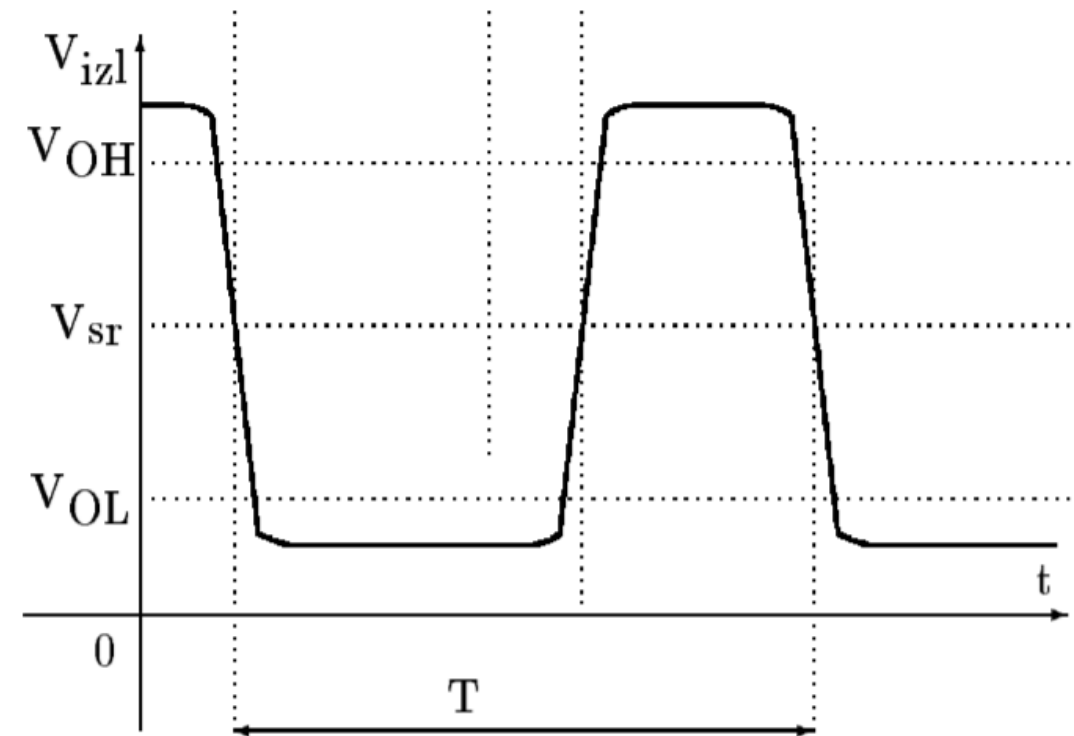


Faktor grananja ulaza i izlaza

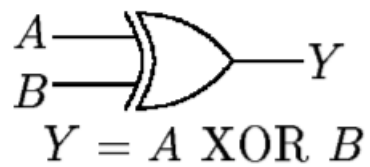
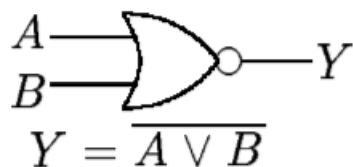
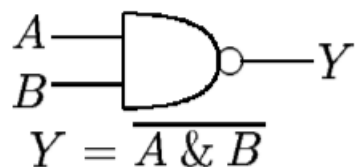
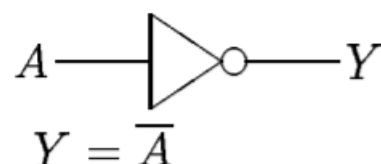
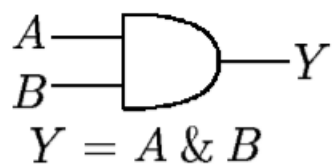
- Otpori nijesu idealni
- Faktor grananja na izlazu je broj nezavisnih ulaznih priključaka koji mogu da se dovedu na izlaz kola
- Faktor grananja na ulazu je broj nezavisnih ulaznih priključaka na kolo

Dinamičke karakteristike

- Kašnjenje izlaza (odziva) za ulazom (pobudom)
- Vrijeme kašnjenja opadajuće ivice je vrijeme između promjene ulaznog signala i trenutka kada izlazni signal opadne do $(V_{OH} + V_{OL}) / 2$
- Vrijeme kašnjenja rastuće ivice je vrijeme između trenutka promjene ulaznog signala i trenutka kada izlazni signal dostigne $(V_{OH} + V_{OL}) / 2$
- Kašnjenje se mjeri nanosekundama



Realizacija logičkih elemenata



| | |
|---------------------------|-------------|
| $Y = A \& B$ | I, AND |
| $Y = A \vee B$ | ILI, OR |
| $Y = \bar{A}$ | NE, NOT |
| $Y = \overline{A \& B}$ | NI, NAND |
| $Y = \overline{A \vee B}$ | NILI, NOR |
| $Y = A \text{ XOR } B$ | ili A ili B |

Kombinacione i sekvencijalne mreže

- Kombinacione mreže ne sadrže povratnu spregu
 - Izlazni signal sa bilo kog kola iz mreže ne smije da bude doveden na ulaz mreže
 - Sabirači, dekoderi, multiplekseri, ...
- Sekvencijalne mreže – izlaz zavisi od redosljeda generisanja ulaznih signala, sadrže memorijske elemente (flip flopovi, leč kola)
 - Sinhrono, asinhrono
 - Primjeri sek. mreža: pomjerački registri, brojači

Konstrukcija digitalnih mreža

- Definisiranje zavisnosti ulaznih od izlaznih promjenljivih
- Definisiranje tablice
- Pravljenje izraza
- Sinteza
- Dodjela simbola

Sabirači

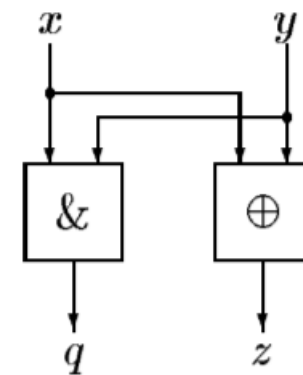
- Sabirač ima dvije ulazne promjenljive x i y , dvije izlazne promjenljive z i q
- Ulazi su dvije binarne cifre koje se sabiraju, izlaz z je zbir, q je prenos

- Formule

- $z(x, y) = x \text{ XOR } y$
- $q(x, y) = x \text{ AND } y$

| x | y | q | z |
|-----|-----|-----|-----|
| 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 |

Tabela 1



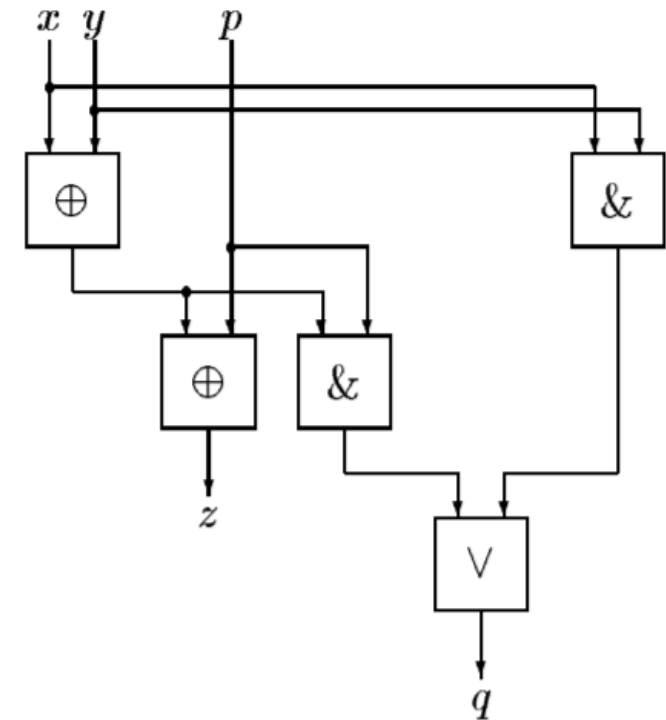
Potpuni sabirač

- Ulazi su x , y , p – cifra prvog sabirka, cifra drugog sabirka, stari prenos
- Izlazi su z – zbir, q – novi prenos

- Formule:

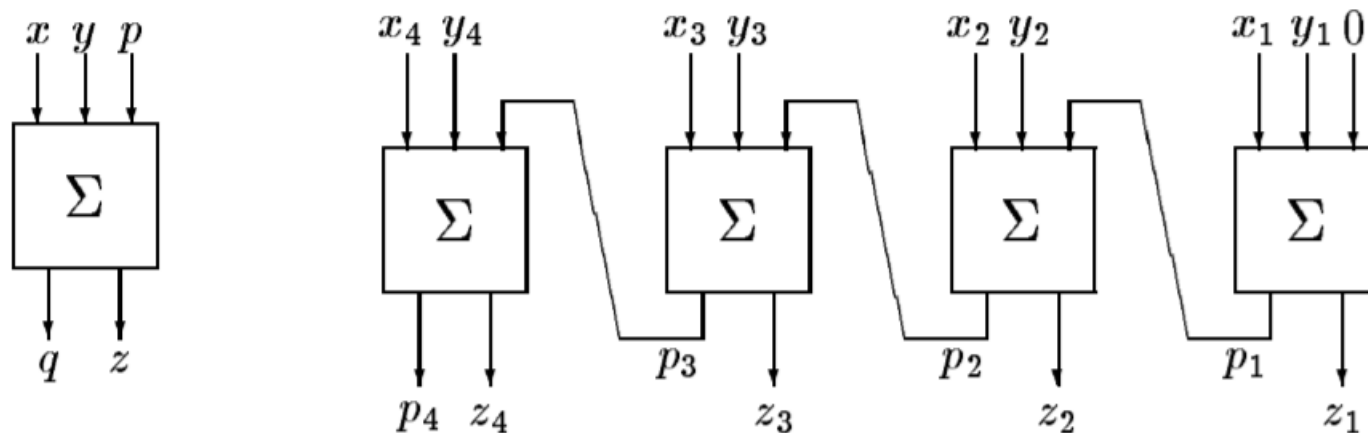
- $z(x, y) = x \text{ XOR } y \text{ XOR } p$
- $q(x, y) = [(x \text{ XOR } y) \text{ AND } p] \text{ OR } [x \text{ AND } y]$

| x | y | p | q | z |
|-----|-----|-----|-----|-----|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |



Paralelni sabirač

- Sabira dva binarno zapisana broja
- Neka sabirci imaju 4 cifre – $x_4x_3x_2x_1 + y_4y_3y_2y_1 = z_4z_3z_2z_1$
- Za konstrukciju paralelnog sabirača možemo upotrijebiti četiri potpuna sabirača

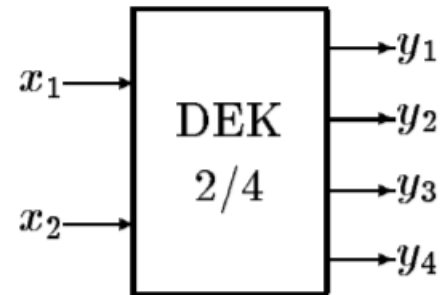
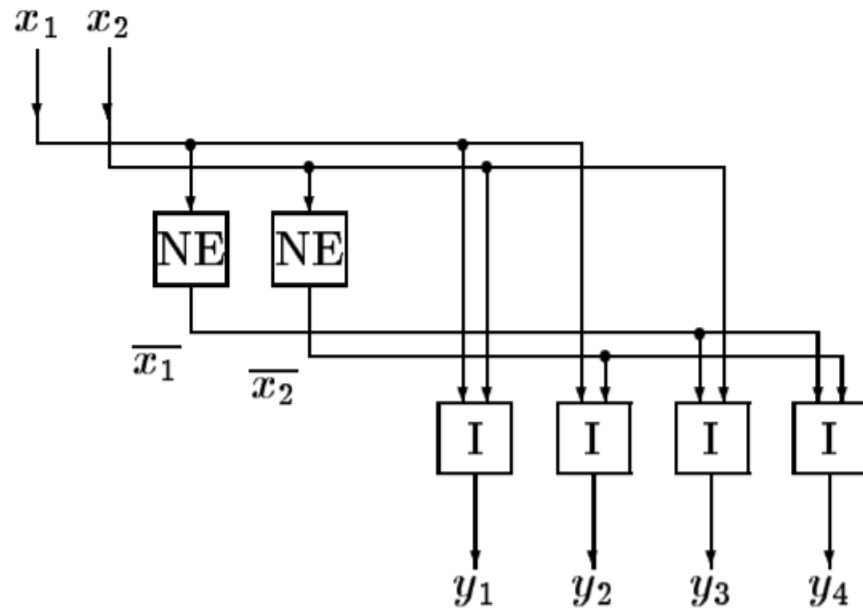


Dekoder

- Dekoder je kombinaciona mreža sa određenim brojem ulaza i izlaza, pri čemu svaka dozvoljena kombinacija ulaza aktivira tačno jedan izlaz
- Za dekodeer sa n ulaza kažemo da je potpun (binarni) ako ima 2^n izlaza
- Ulazi: x_1, x_2, \dots, x_n
- Izlazi (samo je jedan jednak jedinici), ukupno ih ima $N = 2^n : y_1, \dots, y_N$
- Primjena: raspoznavanje naredbi, ako su naredbe kodirane sa 4 bita, različitih naredbi ima 16, dekodeer ima 4 ulaza i 16 izlaza

Dekoder 2/4

$$y_1 = x_1 \cdot x_2, \quad y_2 = x_1 \cdot \overline{x_2}, \quad y_3 = \overline{x_1} \cdot x_2, \quad y_4 = \overline{x_1} \cdot \overline{x_2}.$$



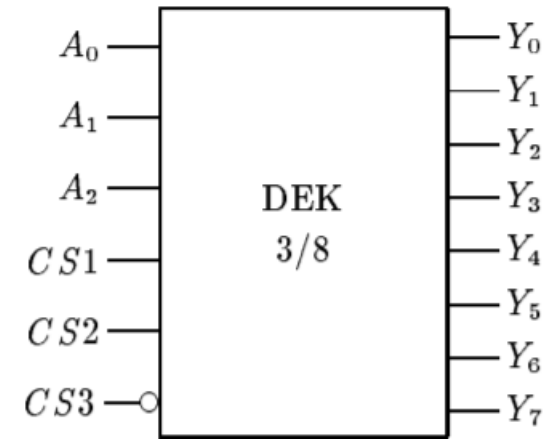
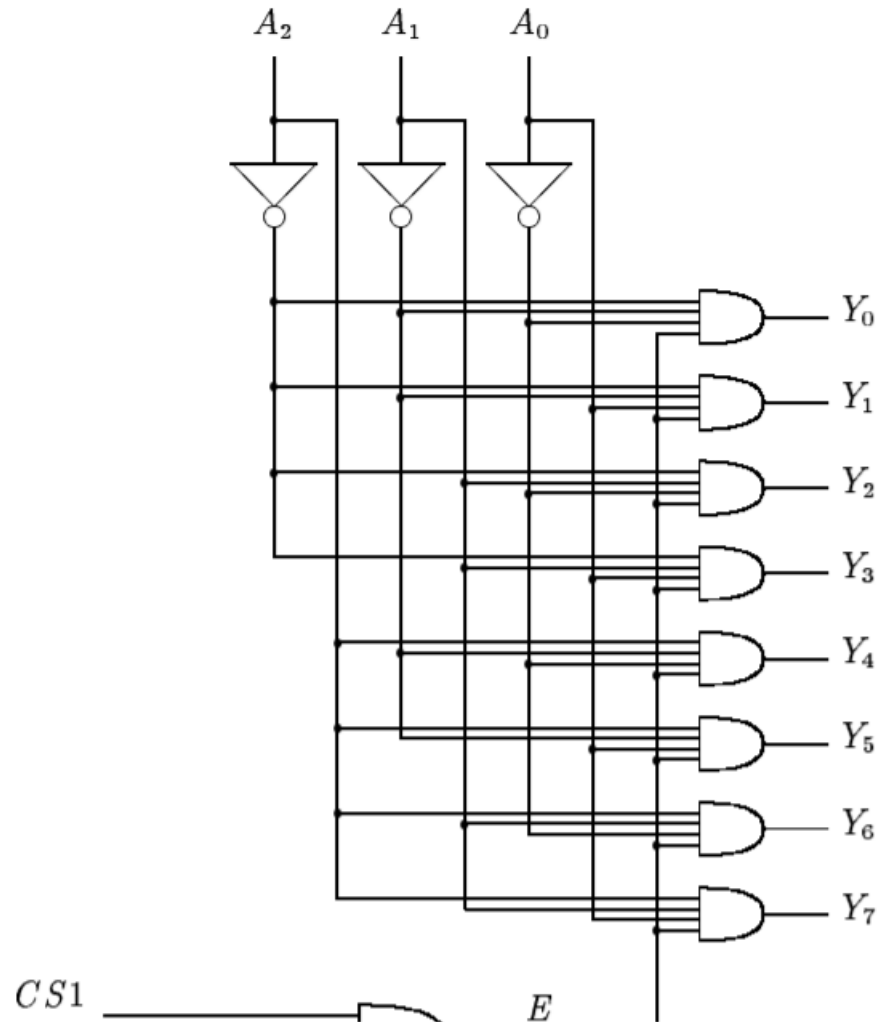
Decoder 3/8

| A_2 | A_1 | A_0 | Y_0 | Y_1 | Y_2 | Y_3 | Y_4 | Y_5 | Y_6 | Y_7 |
|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| ... | | | ... | ... | | | | | | |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |

$$Y_0 = \overline{A_2} \cdot \overline{A_1} \cdot \overline{A_0}, \quad Y_1 = \overline{A_2} \cdot \overline{A_1} \cdot A_0, \quad Y_2 = \overline{A_2} \cdot A_1 \cdot \overline{A_0}, \quad Y_3 = \overline{A_2} \cdot A_1 \cdot A_0,$$

$$Y_4 = A_2 \cdot \overline{A_1} \cdot \overline{A_0}, \quad Y_5 = A_2 \cdot \overline{A_1} \cdot A_0, \quad Y_6 = A_2 \cdot A_1 \cdot \overline{A_0}, \quad Y_7 = A_2 \cdot A_1 \cdot A_0.$$

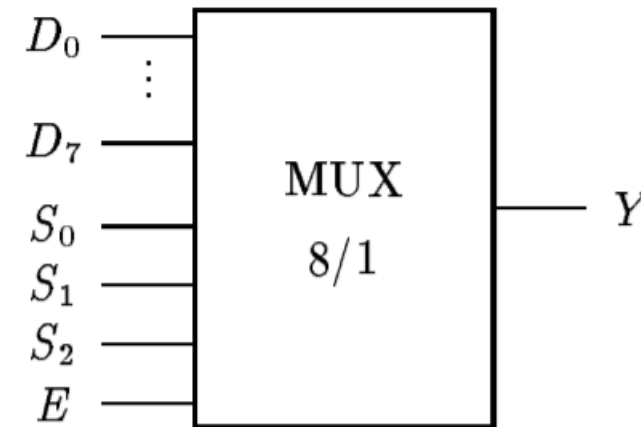
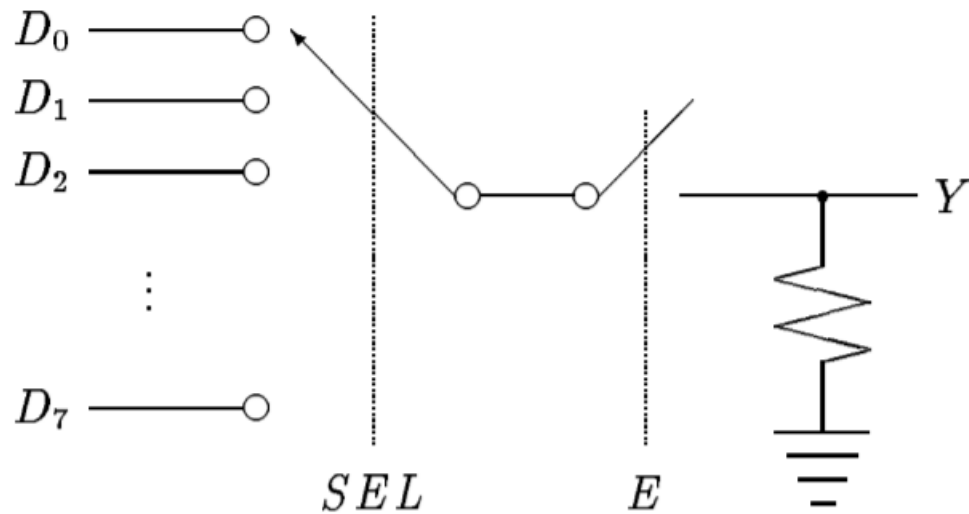
Decoder 3/8 (2)



Decoder 4/16

- Kaskadno vezivanje dekodera, dva 3/8 dekodera za prepoznavanje četvorobitnih binarnih brojeva

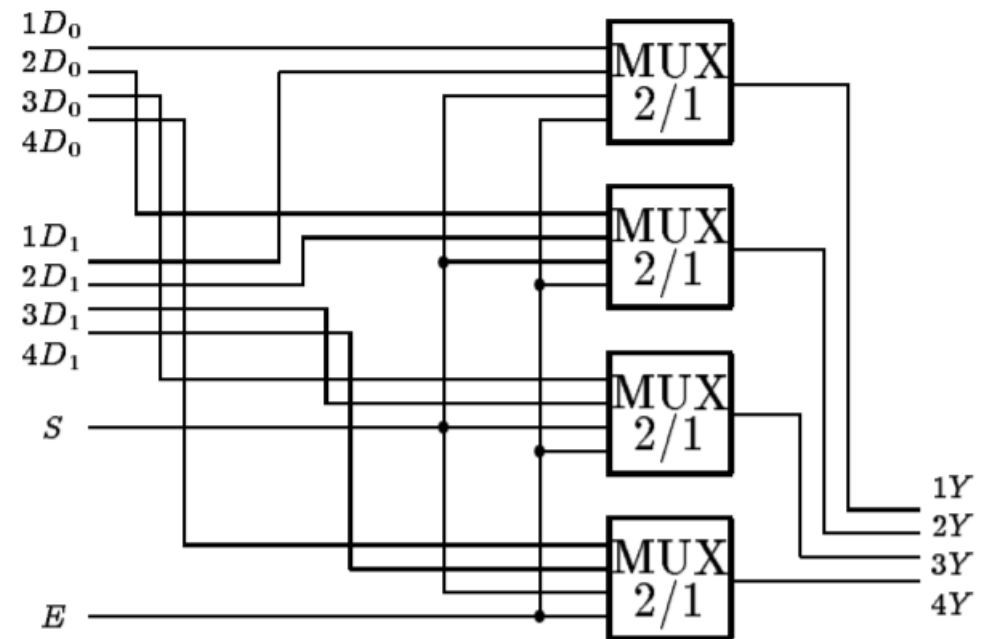
Multiplexer



$$Y = (D_0 \overline{S_2} \overline{S_1} \overline{S_0} \vee D_1 \overline{S_2} \overline{S_1} S_0 \vee D_2 \overline{S_2} S_1 \overline{S_0} \vee D_3 \overline{S_2} S_1 S_0 \vee D_4 S_2 \overline{S_1} \overline{S_0} \vee D_5 S_2 \overline{S_1} S_0 \vee D_6 S_2 S_1 \overline{S_0} \vee D_7 S_2 S_1 S_0) \cdot E$$

Selekcija n informacija od k bita

- $n = 2, k = 4$
- Broj multipleksera je jednak broju k
- Broj signala selekcije je $\log_2 n$



Multiplekser za realizaciju funkcija

$$F = \overline{C}\overline{B}A \vee C\overline{B} \vee CB\overline{A}$$

